

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-006493

(43)Date of publication of application : 13.01.1987

(51)Int.Cl.

G11C 17/00

(21)Application number : 60-143017

(71)Applicant : RICOH CO LTD

(22)Date of filing : 29.06.1985

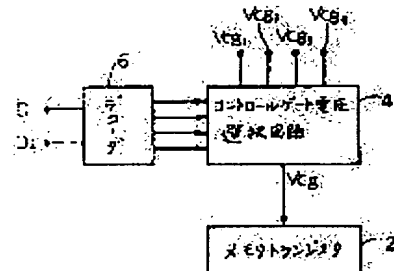
(72)Inventor : KAMINO SATOSHI

(54) WRITABLE/READABLE SEMICONDUCTOR MEMORY DEVICE

(57)Abstract:

PURPOSE: To improve the integrated degree of a memory device by selecting one writing voltage level from plural kinds of writing voltage levels corresponding to plural kinds of information and applying the selected voltage to a memory transistor (TR).

CONSTITUTION: One voltage level is selected from a control gate voltage selecting circuit 4 on the basis of an output signal from a decoder 6 and applied to the memory TR as its control gate voltage. The circuit is constituted so that one writing voltage level is selected from plural kinds of writing voltage levels corresponding to the plural kinds of information by the circuit 4 and the decoder 6 and is applied to the memory (TR) 2. The stored information can be read out by a reading circuit similar to that to be used when information consisting of plural bits is stored in one memory TR of a mask ROM.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than

the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭62-6493

⑬ Int. Cl.
G 11 C 17/00識別記号
101庁内整理番号
6549-5B

⑭ 公開 昭和62年(1987)1月13日

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 書き込みと消去が可能な半導体メモリ装置

⑯ 特 願 昭60-143017

⑰ 出 願 昭60(1985)6月29日

⑱ 発 明 者 神 埜 聡 東京都大田区中馬込1丁目3番6号 株式会社リコー内
 ⑲ 出 願 人 株 式 会 社 リ コ ー 東京都大田区中馬込1丁目3番6号
 ⑳ 代 理 人 弁 理 士 野 口 繁 雄

明 細 書

1. 発明の名称

書き込みと消去が可能な半導体メモリ装置

2. 特許請求の範囲

(1) 書き込みと消去が可能なメモリトランジスタを備えた半導体メモリ装置において、

書き込み回路には複数の情報に対応して複数の種類の書き込み電圧レベルから1個の書き込み電圧レベルを選択してメモリトランジスタに印加する回路を備え、

読出し回路にはメモリトランジスタからの出力を複数の基準レベルと比較する比較回路及びその比較回路の出力を基にしてメモリトランジスタの記憶情報を判定する回路を備えることにより、1メモリトランジスタに多数ビット分の情報を記憶させることを特徴とする書き込みと消去が可能な半導体メモリ装置、

(2) 前記基準レベルは情報記憶用のメモリトラ

ンジスタと同種のメモリトランジスタに情報記憶と同時に記憶されたものである特許請求の範囲第1項に記載の書き込みと消去が可能な半導体メモリ装置。

3. 発明の詳細な説明

(技術分野)

本発明はEPROMやEEPROMをメモリトランジスタとする書き込みと消去が可能な半導体メモリ装置に関するものである。

(従来技術)

EPROMやEEPROMをメモリトランジスタとする場合、通常は1個のメモリトランジスタに対して1ビットの情報を記憶させている。そのため、大容量の半導体メモリ装置を形成しようとするとメモリチップが大きくなる問題がある。

一方、マスクROMの分野においては、イオン注入法によりメモリトランジスタのしきい値を複数レベルに制御し、1個のメモリトランジスタに

特開昭62-6493 (2)

複数ビット分の情報を記憶させるようにしたものが知られている。しかし、E P R O M や E E P R O M の書き込みのメカニズムはマスク R O M の場合とは全く異なり、E P R O M や E E P R O M のしきい値を複数レベルに制御することは行われていない。

(目的)

本発明はE P R O M や E E P R O M をメモリトランジスタとするメモリ装置において、1個のメモリトランジスタに複数ビット分の情報を記憶させることによりメモリ装置の集積度を向上させることを目的とするものである。

(構成)

本発明の半導体メモリ装置は、書き込みと消去が可能なメモリトランジスタを備え、その書き込み回路には複数の情報に対応して複数種類の書き込み電圧レベルから1個の書き込み電圧レベルを選択してメモリトランジスタに印加する回路を備え、その

読出し回路にはメモリトランジスタからの出力を複数の基準レベルと比較する比較回路及びその比較回路の出力を基にしてメモリトランジスタの記憶情報を判定する回路を備えることにより、1メモリトランジスタに複数ビット分の情報を記憶させるようにしたものである。

E P R O M としては例えばF A M O S 型のものを使用することができ、E E P R O M としては例えばF A M O S 型やM N O S 型のものを使用することができる。

E P R O M や E E P R O M の書き込み特性は書き込み時の書き込み電圧(コントロールゲート電圧やドレイン電圧)に依存する。そこで、書き込み電圧を変化させ、1メモリトランジスタに複数ビット分の情報を記憶させることができる。

以下、実施例について具体的に説明する。

一例として1個のメモリトランジスタに2ビット分の情報を書き込む場合について説明する。

E P R O M や E E P R O M の書き込み後のしきい値 V_{th} は、書き込み電圧であるコントロールゲート電圧 V_{cg} によって第1図に示されるように変化する。すなわち、コントロールゲート電圧 V_{cg} を高電圧にするほど書き込み後のしきい値 V_{th} も高電圧レベルになる。

第2図は一実施例における書き込み回路部分を示すものである。

2はメモリトランジスタであり、マトリックス状に配列されており、書き込み時及び読出し時には、X、Yデコーダ(図示略)により選択されるようになっている。4は4種類の電圧レベル V_{cg1} 、 V_{cg2} 、 V_{cg3} 、 V_{cg4} のうちの一を選択するコントロールゲート電圧選択回路、6は2ビットの情報 D_1 、 D_2 が入力されるデコーダであり、デコーダ6の出力信号によりコントロールゲート電圧選択回路4から1個の電圧レベルが選択されてメモリトランジスタ2のコントロールゲート電圧として印加される。コントロールゲート電圧選択回路4とデコーダ6により複数の情報に対応して

複数種類の書き込み電圧レベルから1個の書き込み電圧レベルを選択してメモリトランジスタに印加する回路を構成する。

2ビットのデジタル情報 D_1 、 D_2 に対して、例えば下表のようにコントロールゲート電圧が選択されるものとする。

情報		コントロールゲート電圧
D_1	D_2	
0	0	V_{cg1}
0	1	V_{cg2}
1	0	V_{cg3}
1	1	V_{cg4}

このようにして記憶された情報の読出しは、マスク R O M において1個のメモリトランジスタに複数ビット分の情報を記憶させた場合と同様の読出し回路により読み出すことができる。すなわち、4種類のコントロールゲート電圧 V_{cg1} 、 V_{cg2} 、 V_{cg3} 、 V_{cg4} により記憶された4種類のしきい

特開昭62-6493 (3)

値 V_{th1} , V_{th2} , V_{th3} , V_{th4} に対し、それぞれの中点値 V_{r1} , V_{r2} , V_{r3} を基準しきい値電圧として設定し、比較することによりメモリトランジスタの記憶しきい値を読み分けることができる(第3回参照)。

EPROM や EEPROM の場合、マスク ROM と異なり、荷かではあるが書き込み情報の保持特性として書き込みレベルの経時変化がある。そこで、読出し回路として第4図の回路を使用する。

第4図において、8-1, 8-2, 8-3 は基準しきい値電圧 V_{r1} , V_{r2} , V_{r3} を記憶する基準トランジスタであり、メモリトランジスタ2と同種のEPROM や EEPROM を使用する。選択されたメモリトランジスタ2と基準トランジスタ8-1, 8-2, 8-3 には共通の読出し電圧が印加される。

10-1, 10-2, 10-3 は比較回路であり、比較回路10-1はメモリトランジスタ2の出力電流と基準トランジスタ8-1の出力電流とを入力し、比較回路10-2はメモリトランジスタ

2の出力電流と基準トランジスタ8-2の出力電流とを入力し、比較回路10-3はメモリトランジスタ2の出力電流と基準トランジスタ8-3の出力電流とを入力し、それぞれ電圧に変換して比較する。

12は比較回路10-1, 10-2, 10-3の出力信号を入力し、2ビットのデジタル情報D1, D2を出力するエンコーダである。エンコーダ12はメモリトランジスタの記憶情報を判定する回路に対応している。

基準トランジスタ8-1, 8-2, 8-3に基準しきい値電圧 V_{r1} , V_{r2} , V_{r3} を記憶するには、電圧 V_{r1} , V_{r2} , V_{r3} をウエハプロセス中に、又は回路により予め固定しておき、基準トランジスタ8-1, 8-2, 8-3のしきい値がそれぞれそれらの電圧 V_{r1} , V_{r2} , V_{r3} と同レベルになるまで書き込む。基準しきい値電圧の書き込みはメモリトランジスタ2に情報を書き込むときに同時に行なう。

本実施例によれば、メモリトランジスタ2とともに経時変化を遂げる基準トランジスタ8-1, 8-2, 8-3に基準しきい値電圧 V_{r1} , V_{r2} , V_{r3} を記憶させているので、読出し時の経時変化分を吸収することができ、安定な読出しを行なうことができる。

実施例では書き込み回路でデコーダ6を使用しているが、デコーダに代えてマルチプレクサを使用することもできる。

〈効果〉

本発明によれば、1個のEPROM や EEPROM のメモリトランジスタに複数ビット分の情報を記憶させることができるので、メモリ装置の密度が向上し、同一サイズのチップのメモリ容量を増大させることができる。

4. 図面の簡単な説明

第1図はEPROM や EEPROM の書き込みコ

ントロールゲート電圧と書き込み後のしきい値との関係を示す図、第2図は一実施例における書き込み回路部を示すブロック図、第3図は書き込み後のしきい値と基準しきい値電圧との関係を示す図、第4図は一実施例における読出し回路部を示すブロック図である。

2……メモリトランジスタ、

4……コントロールゲート電圧選択回路、

6……デコーダ、

8-1, 8-2, 8-3……基準トランジスタ、

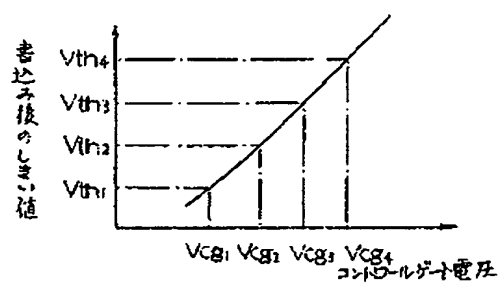
10-1, 10-2, 10-3……比較回路、

12……エンコーダ、

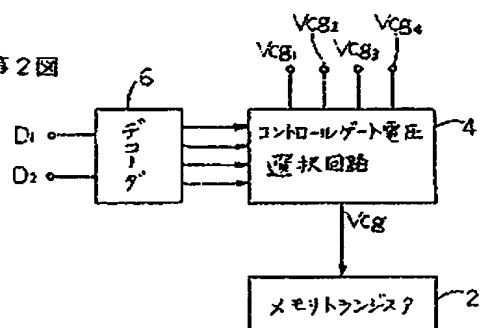
代理人 井原士 野口英雄

特開昭62-6493 (4)

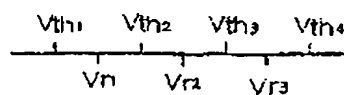
第1図



第2図



第3図



第4図

